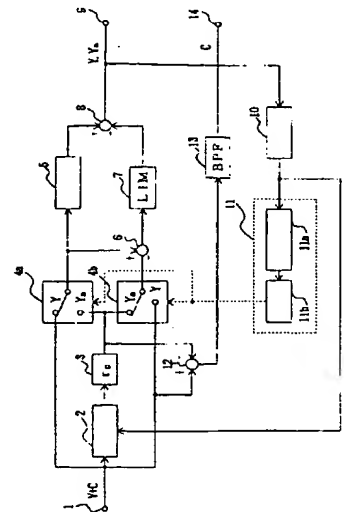


(54) VIDEO SIGNAL PROCESSING CIRCUIT

(11) 5-304684 (A) (43) 16.11.1993 (19) JP
 (21) Appl. No. 4-129837 (22) 24.4.1992
 (71) SONY CORP (72) SHOJI NEMOTO(1)
 (51) Int. Cl.⁵ H04N9/87, H04N5/93, H04N9/83

PURPOSE: To prevent the dead lock of a loop at the leading edge from a non signal-state in a video signal processing circuit delaying Y signals for the prescribed time to correct the delay time difference between Y and C signals in the vertical direction of a screen.

CONSTITUTION: When the VTR is switched from the STOP mode to the PB mode, switching circuits 4a and 4b are selected to output Y signals which are not delayed to a terminal 9. A synchronizing separator 10 separates a composite synchronizing signal from a composite color video signal to be inputted in a microcomputer 11. When detecting more than five vertical synchronizing signals, the microcomputer 11 switches the switching circuits 4a and 4b to output the Y signal which is delayed for the prescribed time by a delay circuit 3 to the terminal 9.



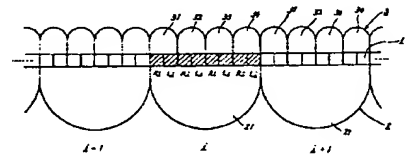
2: clamp, 8: trap, 10: synchronizing separator, 11a: VD detecting section, 11b: control section

(54) STEREOSCOPIC VIDEO DISPLAY DEVICE

(11) 5-304685 (A) (43) 16.11.1993 (19) JP
 (21) Appl. No. 4-73642 (22) 30.3.1992
 (71) SANYO ELECTRIC CO LTD (72) TAKASHI NOGUCHI(1)
 (51) Int. Cl.⁵ H04N13/04, G03B35/00

PURPOSE: To minimize a projector type stereoscopic video display device permitting many observers to observe the stereoscopic pictures.

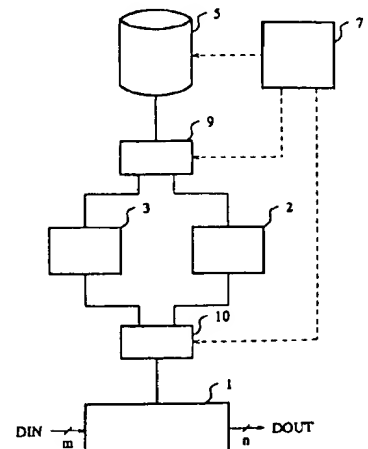
CONSTITUTION: Two projectors projecting the pictures for right and left eyes deviated in the horizontal direction according to the parallax of both eyes of an observer are arranged at the back of a light transparent screen 1. A backside lenticular plate 3 located at the back of the screen is constructed by arranging a plurality of lens elements 31, 32, 33, 34 in the pitch by a factor of integrals of the arrangement pitch of a plurality of lens elements 21 comprising the front lenticular plate 2 arranged on the front of the screen. Pairs of a picture element Ri for right eye and a picture element Li for left eye are repeatedly arranged on the screen 1 in the width area of each lens element 21 of the front lenticular plate 2.

**(54) CROSS CONNECTING DEVICE**

(11) 5-304686 (A) (43) 16.11.1993 (19) JP
 (21) Appl. No. 4-79701 (22) 1.4.1992 (33) JP (31) 91p.128758 (32) 30.4.1991(1)
 (71) NEC CORP (72) YAYOI TAKEUCHI(1)
 (51) Int. Cl.⁵ H04Q3/52

PURPOSE: To secure connection information even if a fault is generated in a control system by switching each input transmission line to the prescribed output transmission line at its connection based on the connection information in a memory selected by a selector.

CONSTITUTION: A map 5 is formed on a magnetic disk medium to store many sets of connection information controlling the switching destination in a switch section 1. Receiving the direction of a control section 7, a selector 9 loads one of the sets in a memory 2 and loads the other one in a memory 3. The memories 2 and 3 store all connection information required to connect (m) input data and (n) output data in the switch section 1. In this case, the control section 7 controls the setting of the connection information to the map 5 and the selection of the memories 2 and 3 to be written in the map 5 and the selection of the memories 2 and 3 to which connection information following the switch section 1 is supplied. Thus, the selected input transmission line is connected to the prescribed output transmission line, and the connection information can be secured even if a fault is generated in the control section.



98-01770 (20083) 南連

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-304686

(43)公開日 平成5年(1993)11月16日

(51)Int.Cl.⁴

H 0 4 Q 3/52

識別記号

庁内整理番号

F I

技術表示箇所

A 9076-5K

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平4-79701

(22)出願日 平成4年(1992)4月1日

(31)優先権主張番号 特願平3-128758

(32)優先日 平3(1991)4月30日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平3-166244

(32)優先日 平3(1991)6月12日

(33)優先権主張国 日本(JP)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 竹内 弥生

東京都港区芝五丁目7番1号日本電気株式会社内

(72)発明者 吉藤 裕輝

東京都港区芝五丁目7番1号日本電気株式会社内

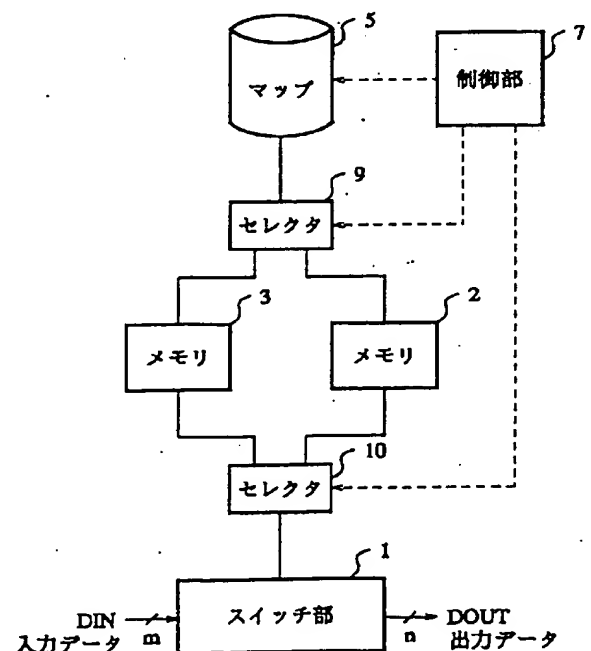
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 クロスコネクト装置

(57)【要約】

【目的】 接続情報の変更を即時に行えるクロスコネクト装置を提供する。

【構成】 接続情報をそれぞれ記憶した複数式のメモリを設け、伝送路を変更する場合には、セレクトがそれらメモリを選択的にスイッチ群に接続する構成とした。この結果、運用に供する接続情報が即時に入れ替わるため、通信環境の変化に即応できる。



【特許請求の範囲】

【請求項1】伝送路網のノードにあって、複数の入力伝送路の各々を複数の出力伝送路のいずれに接続するのを示す少なくとも2式の接続情報を予め格納したマップと、該マップ内の1式の接続情報が書き込まれた第1のメモリと、前記マップ内の他の1式の接続情報が書き込まれた第2のメモリと、第1のメモリまたは第2のメモリを選択するセクタと、該セクタが選択した前記メモリ内の接続情報に基づいて前記入力伝送路の各々を前記出力伝送路のいずれかに切り替えて接続するスイッチ群とを有することを特徴とするクロスコネクタ装置。

【請求項2】伝送路網のノードにあって、複数の入力伝送路各々を複数出力伝送路のいずれに接続するのを示す少なくとも1式の接続情報を予め格納した第1のマップと、特定の入力伝送路各々を特定の出力伝送路に接続することを示す固定接続情報を予め格納した第2のマップと、前記第1のマップ内の接続情報の1式が書き込まれた少なくとも一つの第1のメモリと、前記第2のマップ内の接続情報が書き込まれた第2のメモリと、前記第1のメモリまたは前記第2のメモリを選択するセクタと、該セクタが選択したメモリ内の接続情報に基づいて前記入力伝送路の各々を前記出力伝送路のいずれかに切り替えて接続するスイッチ群と、少なくとも前記第1のマップを制御する第1の制御部と、前記第2のマップおよびセクタを制御するハードウェア構成の第2の制御部とを有することを特徴とするクロスコネクタ装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は伝送路網のノード（node）に位置して伝送路を切り替えるクロスコネクタ装置に関する。

【0002】

【従来の技術】高度情報化時代の到来に伴い、通信需要は急速に増加するとともに多様化・高度化の様相を強めてきている。現在では、電話機は生活必需品の域に近づいているといっても必ずしも過言ではない。さらに、音声の伝達に対するファクシミリ装置等による文字や図形の伝達および意思の伝達に対するデータ端末等による情報の伝達が加っている。

【0003】伝送路網は、このような通信需要に応えるべく、意思あるいは情報の通信を司る伝達体系であり、そのためには、情報をよりすばやく、より多量に、より長距離間で伝達でき、また情報を自由に処理できることが望まれる。

【0004】しかし、第一義的な要求は、日常化した通信の路たる伝送路の確保である。伝送路は、例えば自然現象及び事故による回線の障害、発呼の集中による一時的な不通、交換機のハードウェア故障や特殊な動作環境下での予期し得なかったソフトウェアバグ等によって途絶し得る。

【0005】クロスコネクタ装置は、このような事態にあっては伝送路を切り替えることによって伝送路を迂回して所期の目的を達成する。また、コンピュータデータの通信に割り当てられた迂回した伝送路と、音声の通信に割り当てられたより短絡的な伝送路との切替えによって、高品質な伝送路と、そうでない伝送路とを通信の目的に応じて割り当てる。

【0006】従来のこの種のクロスコネクタ装置は、伝送路網のノードにあって、入力伝送路それぞれを出力伝送路のいずれに接続するのを示す接続情報が予め格納されたマップと、このマップ内の接続情報が書き込まれたメモリと、このメモリ内の接続情報に基づいて入力伝送路をいずれかの出力伝送路に切り替えて接続するスイッチ群とを有している。そして、これらの構成要素の制御はソフトウェアで行なわれることが多い。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来のクロスコネクタ装置は、接続情報が書き込まれるメモリを一式だけしか備えていない。メモリはアドレスとデータにより書き込みの制御を行うので、メモリ内の膨大な全データを一瞬のうちに書き換えることはできない。したがって、接続情報の変更が即時にできない。

【0008】また、従来のクロスコネクタ装置の制御は一つの系に委ねられているため、この系に、例えばソフトウェア障害が発生した場合には、スイッチのバスに誤りが発生し、信号経路が混乱して通信障害に至るといった問題点があった。本発明の目的は、接続情報の変更を即時に行えるクロスコネクタ装置を提供することである。本発明のもう一つの目的は、制御系に障害が発生しても必要最少限の伝送路を維持するための接続情報を確保できるクロスコネクタ装置を提供することである。

【課題を解決するための手段】本発明のクロスコネクタ装置は、伝送路網のノードにあって、入力伝送路それぞれを出力伝送路のいずれに接続するのを示す少なくとも2式の接続情報が予め格納されたマップと、このマップ内の接続情報が書き込まれた第1のメモリと、マップ内の他の接続情報が書き込まれた第2のメモリと、第1のメモリまたは第2のメモリを選択するセクタと、セクタが選択したメモリ内の接続情報に基づいて入力伝送路をいずれかの出力伝送路に切り替えて接続するスイッチ群とを有している。セクタは、接続情報変更の要請を受けたときに、第1のメモリから第2のメモリへ、または第2のメモリから第1のメモリへとその選択を変更する。上述した本発明の目的を達成するためには、非選択のメモリに対する接続情報は、このメモリが選択されるまでの間に書き込まれている必要がある。好ましくは、本発明のクロスコネクタ装置は、伝送路網のノードにあって、入力伝送路それぞれを出力伝送路のいずれに接続するのを示す接続情報が予め格納された第1のマップと、このマップ内の接続情報が書き込まれた第1の

メモリと、特定の入力伝送路それぞれを特定の出力伝送路に接続することを示す固定接続情報が予め格納された第2のマップと、このマップ内の接続情報が書き込まれた第2のメモリと、第1のメモリまたは第2のメモリを選択するセクタと、セクタが選択したメモリ内の接続情報に基づいて入力伝送路をいずれかの出力伝送路に切り替えて接続するスイッチ群と、第1のマップ、第1のメモリ、セクタおよび第1のメモリ内の接続情報に基づくスイッチ群の各動作を制御する第1の制御部と、第2のマップ、第2のメモリ、セクタおよび第2のメモリ内の接続情報に基づくスイッチ群の各動作を制御するハードウェア構成の第2の制御部とを有している。セクタは、通常は第1のメモリを選択しているが、第1の制御部に障害が発生すると第2のメモリを選択し、スイッチ群は第2のメモリ内の固定的な接続情報に基づいて切り替え動作を行うようになる。固定的な接続情報は、第1の制御部に障害が発生しても確保したい伝送路に関するものであり、極く少数であってもよいし、第2の制御部は高信頼性のハードウェア構成とし、マニュアル操作を伴うものであってもよい。

【0009】

【実施例】今日では、日本各地が伝送回路網で結ばれており、国内のどの町との間においても即時に通信ができるようになっている。このような伝送回路網の節（ノード）では、図4に模式化して示すように、クロスコネク装置Mが装置AまたはBからの入力を装置CまたはDに切り替えて出力する。ここに、本ノードを東京におけるものとすれば、装置A、Bは例えば東京に設置された多重化装置であったり、仙台からの伝送路であり、装置C、Dは大阪や長野への伝送路に対する搬送装置である。

【0010】クロスコネク装置Mは、装置Aを装置Cおよび装置Dに接続するか装置Cに接続するか装置Dに接続するか、またはいずれの装置にも接続しない。装置Bについても同様である。このような接続の態様はクロスコネク装置Mが有する接続情報に従う。

【0011】本発明の第1の実施例を示す図1を参照すると、本実施例のクロスコネク装置は、スイッチ部1と、2つのメモリ2および3と、マップ5と、制御部7と、2つのセクタ9および10とを有している。

【0012】マップ5は、例えば磁気ディスク媒体上に形成され、スイッチ部1における切替え先を律する接続情報の多数のセットが予め格納されている。セクタ9は、制御部7の指示により、これらのセットのうちの一つをメモリ2に、他の一つをメモリ3にロードしておく。

【0013】メモリ2および3は同構成のランダムアクセスメモリであり、スイッチ部1においてm個の入力データとn個の出力データとを接続するのに必要なすべての接続情報をそれぞれ記憶する。セクタ10は、制御

部7の指示により、メモリ2とメモリ3のうちの一つの出力をスイッチ部1に導き、スイッチ部1はそのメモリが記憶する接続情報に従って切替え動作を行う。

【0014】制御部7は、ソフトウェアで実現され、マップ5への接続情報の設定、マップ5のどの接続情報をメモリ2またはメモリ3のいずれに書き込むかのセクタ9による選択およびメモリ2またはメモリ3のいずれの接続情報をスイッチ部1に導くかのセクタ10による選択を制御する。

【0015】いま、セクタ10がメモリ2を選択し、スイッチ部1はメモリ2の接続情報に従って入力データDINと出力データDOUTとの接続を行なっているものとする。この状態下において、例えば東京と大阪との間の直通の電話回線が何らかの原因で不通となった場合に、東京から長野経由の迂回した伝送路によって東京と大阪との間の伝送路を確保しようとすれば、スイッチ部1が従うべき接続情報を変更する必要がある。このような変更は、電話回線の不通による場合だけでなく、例えば、発呼の集中や、より高品質なデータ通信が望まれるコンピュータデータと音声データとの間での伝送路の交換によっても起り得る。接続情報の変更は、制御部7からの指示に回答して、セクタ10がメモリ2の出力からメモリ3の出力を受け入れるように動作することにより、一瞬のうちに実行される。従って、従来のように、単一のメモリしか備えられていなければ、メモリ2が記憶していた接続情報を書き替えた後でなければ、新しい接続情報に基づく運用はできないのであるが、本発明によれば即時に可能となる。もっとも、接続情報の切替え時までには、メモリ3に対するマップ5からの接続情報のロードが条件となる。

【0016】メモリ3が記憶している接続情報に基づく運用状態において、再び接続情報の変更を行う場合は、上述のメモリ2からメモリ3への切替えとは逆方向、すなわちメモリ3からメモリ2への切替えを行えばよい。

【0017】図1の要部を模式化した図2と図1を照合すると、図2におけるスイッチ12は図1のスイッチ部1、図2のセクタ19は図1のセクタ10、図2のメモリ13-1は図1のメモリ2および図2のメモリ13-2は図1のメモリ3にそれぞれ対応する。

【0018】メモリ13-1およびメモリ13-2は、それぞれ2つのフリップフロップ17-1、17-2および2つのフリップフロップ18-1、18-2で構成されており、従ってそれぞれが2ビットの接続情報を記憶する。セクタ19は、制御部7に接続された制御端子16からの信号が“1”の場合には、メモリ13-1の出力を、また“0”の場合はメモリ13-2の出力をそれぞれスイッチ12に導く。

【0019】そして、フリップフロップ17-1およびフリップフロップ18-1は、“1”を記憶しているときは入力端子14-1上の信号を出力端子15-1に導

き、“0”を記憶しているときは入力端子14-2上の信号を出力端子15-1に導く。また、フリップフロップ17-2およびフリップフロップ18-2は、“1”を記憶しているときは入力端子14-1上の信号を出力端子15-2に導き、“0”を記憶しているときは入力

端子14-2上の信号を出力端子15-2に導く。このような結論は図2のゲート回路間の接続を追い、論理演算を試みることによって容易に理解できよう。表示すれば次のようになる。

【0020】

入力端子	17-1	“1”	“・1”	“0”	“0”
	17-2	“1”	“0”	“1”	“0”
14-1		15-1 15-2	15-1	15-2	
14-2			15-2	15-1	15-1 15-2

【0021】本表より、フリップフロップ17-1（18-1）およびフリップフロップ17-2（18-2）が共に“1”の場合には入力端子14-1上の信号、また“0”の場合には入力端子14-2上の信号の同報（broadcasting）通信が行われることがわかる。

【0022】本発明の第2の実施例のクロスコネクタ装置を示す図3において、図1に示した実施例と共通な構成部分は共通な参照数字で示してある。同図にも明らかに示されるとおり、本実施例は図1に示した実施例にメモリ4、マップ6、2つの制御部8および20並びにセクタ11が追加されている。

【0023】本クロスコネクタ装置は、通常、セクタ11がセクタ10の出力をスイッチ部1に導き、従って図1に示したクロスコネクタ装置と同構成で運用されている。この場合、メモリ4、マップ6並びに2つの制御部8および20は運用系から切離されている。

【0024】マップ6には、上述の運用時における接続情報のうちで、特に重要な固定的なものが制御部8によって予め格納されている。このような固定接続情報は、制御部7に障害が発生してメモリ2またはメモリ3に記憶されている接続情報による伝送路切替え動作が不可能になった場合においても最少限確保したい伝送路に関するものである。

【0025】メモリ4にはマップ6に格納された固定接続情報が制御部8によって書き込まれる。この書き込みは上述の運用時においても可能である。制御部7に障害が発生すると、制御部20はセクタ11がメモリ4の出力をスイッチ部1に導くように動作する。この結果、スイッチ部1はメモリ4に記憶されている固定接続情報に基づいて伝送路の切替え動作を行うようになる。

【0026】制御部8および制御部20はハードウェアで構成される。これらの制御部は、少量かつ固定的な接

続情報に係るから単純な構成とすることができ高信頼性を担保できる。

【0027】制御部7の障害が回復すれば、制御部20はセクタ11がセクタ10の出力をスイッチ部1に導くように動作し、制御部7の障害発生前における運用状態に戻る。

【0028】なお、図3の実施例においては、メモリ2とメモリ3の二つが設けられているが、一つであってもよい。その場合には、セクタ9およびセクタ10は不要となる。

【0029】

【発明の効果】上述のとおり、本発明の第1の実施の態様によると、一瞬のうちに接続情報の変更を行えるための、通信環境の変化に即応できるという効果がある。

【0030】また、本発明の第2の実施の態様によると、制御部に障害が発生しても最少限必要な伝送路を確保できるので全面的な通信障害を回避でき、その効果は著しい。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すブロック図である。

【図2】図1および図3に示した実施例におけるセクタとスイッチの模式化した論理回路図である。

【図3】本発明の第2の実施例を示すブロック図である。

【図4】本発明が適用される伝送路網の一部を模式化したブロック図である。

【符号の説明】

- 1 スイッチ部
- 2, 3, 4 メモリ
- 5, 6 マップ
- 7, 8, 20 制御部
- 9, 10, 11 セクタ

12 スイッチ

13-1, 13-2 メモリ

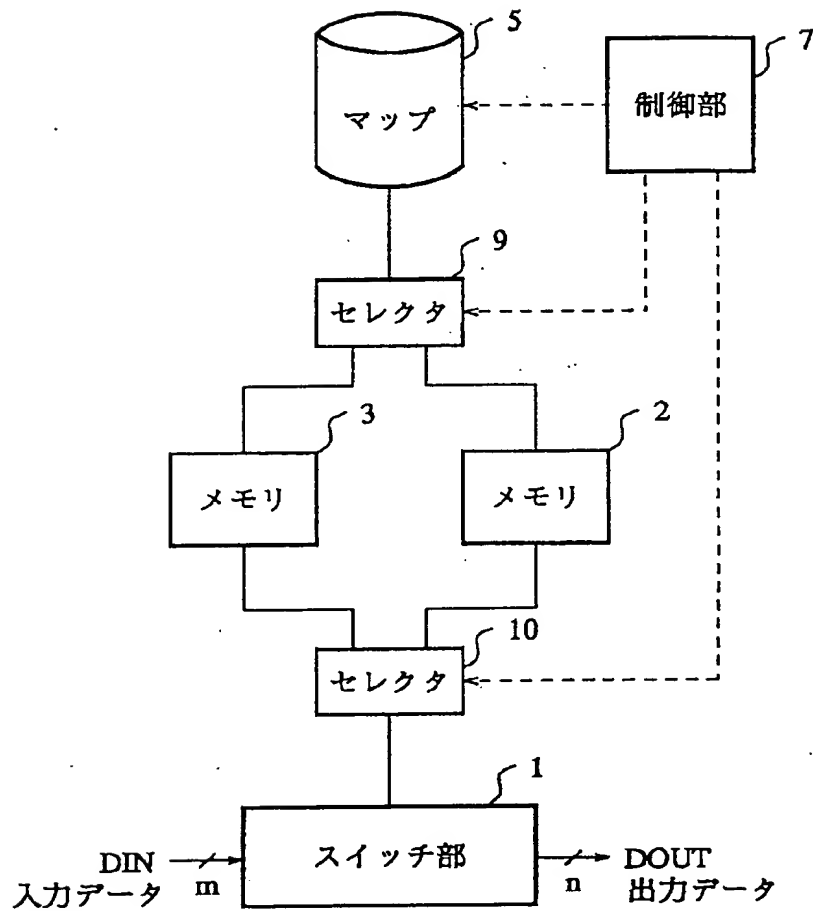
14-1, 14-2 入力端子

15-1, 15-2 出力端子

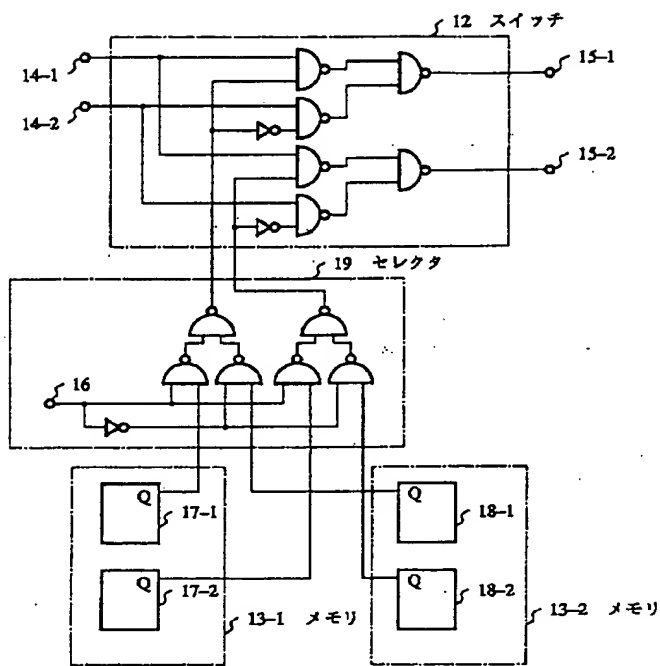
16 制御端子

17-1, 17-2, 18-1, 18-2 フリップフロップ

【図1】



【図2】



14-1, 14-2: 入力端子

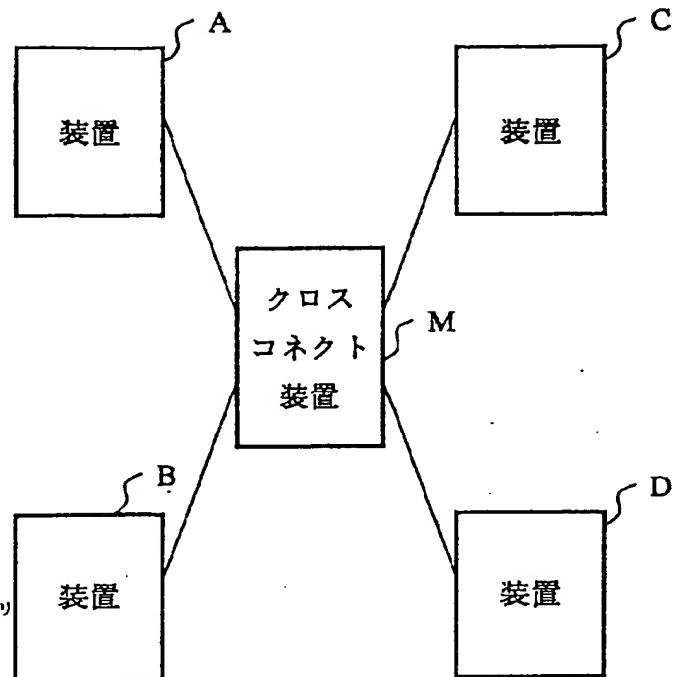
15-1, 15-2: 出力端子

16: 制御端子

17-1, 17-2: フリップフロップ

18-1, 18-2: フリップフロップ

【図4】



【図3】

